

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085193

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 04-237948

(71)Applicant : NEC CORP

(22)Date of filing : 07.09.1992

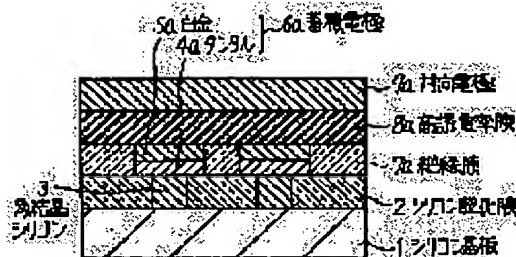
(72)Inventor : SAKAO MASATO  
OYA SHUICHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To reduce coupling capacitance between adjacent capacitors, in capacitors which are used in a DRAM of high integration level and have a high permittivity film.

CONSTITUTION: Capacitors are constituted of storage electrodes 6a composed of tantalum 4a and platinum 6a, a high permittivity film 8a laminated on the storage electrodes, and a facing electrode 9a. The adjacent storage electrodes 6a are isolated by an insulating film 7a whose permittivity is smaller than the high permittivity film 8a by a factor of two.



## LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection] 03.08.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-85193

(43)公開日 平成 6 年(1994) 3 月25日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/108  
27/04

識別記号

庁内整理番号

F I

技術表示箇所

C 8427-4M  
9170-4M

H 0 1 L 27/ 10

3 2 5 J

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-237948

(22)出願日 平成 4 年(1992) 9 月 7 日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 坂尾 真人

東京都港区芝五丁目 7 番 1 号日本電気株式  
会社内

(72)発明者 大屋 秀市

東京都港区芝五丁目 7 番 1 号日本電気株式  
会社内

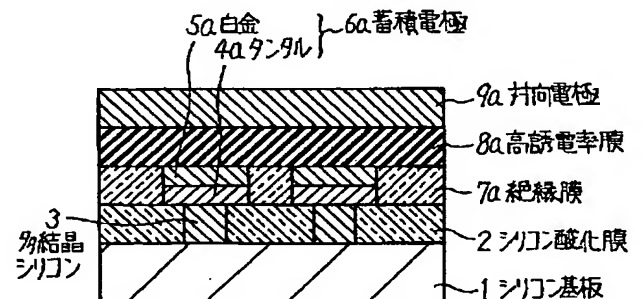
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 高集積DRAMに用いられる高誘電率膜を有するキャパシタにおいて、隣接するキャパシタ間のカップリング容量を低減する。

【構成】 キャパシタはタンタル 4 a および白金 5 a よりなる蓄積電極 6 a とこれに積層した高誘電率膜 8 a と対向電極 9 a とにより構成されている。隣接する蓄積電極 6 a は、高誘電率膜 8 a により誘電率が例えば 2 桁程度小さい絶縁膜 7 a により隔絶されている。



## 【特許請求の範囲】

【請求項1】 半導体基板の表面に形成されていた第1の絶縁体膜と該第1絶縁膜の上に配置されてかつ前記半導体基板と接続するように形成されていた複数の蓄積電極とに、高誘電率膜と対向電極とが積層されており、少なくとも隣接する前記蓄積電極の間が前記高誘電率膜の誘電率よりも低い誘電率を有する第2絶縁膜で隔絶されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に高集積半導体メモリへの応用に適したキャパシタに関するものである。

## 【0002】

【従来の技術】 高集積半導体メモリ用メモリセルとして1つのトランジスタと1つのキャパシタから構成されるメモリセル（以下1Tセルと略す）は、構成要素が少なく、メモリセル面積の微細化が容易であるため、広く使われている。

【0003】 1Tセルからの出力電圧はメモリセルにあるキャパシタ（以下セレキャパシタと呼ぶ）の値に比例するため、高集積化しても安定な動作を保証するには、そのセルキャパシタ値を十分に大きくする必要がある。そのため、1Tセルを高集積するためには小面積で十分なキャパシタ値をもったセルキャパシタを必要とする。従来この様なセルキャパシタとして、1991年のアイ・イー・ディー・エム予稿集、823～826頁（IE DM Techsical Digest 1991, pp. 823～826）に報告された高誘電率膜を用いたキャパシタが知られている。

【0004】 この従来のセルキャパシタの断面図を図5に示す。シリコン基板1上のシリコン酸化膜2にシリコン基板1とタンタル4cおよび白金5cからなる蓄積電極6cとをつなぐコンタクト孔が形成されておりコンタクト孔には不純物を拡散した多結晶シリコン3が埋め込まれている。容量膜として用いる高誘電率膜8cは、蓄積電極6cとシリコン酸化膜2とを含む全面に積層されている。さらに高誘電率膜8c上に対向電極9cが積層されてセルキャパシタが構成されている。

【0005】 上記報告では、高誘電率膜8cとして膜厚70nmのチタン酸ストロンチウムバリウム（ $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ ）を用いているため誘電率は300以上、単位面積あたりのキャパシタ値が $40\text{ fF}/\mu\text{m}^2$ となる。このため、256MDRAMセルに適用した場合36fFのキャパシタ値が得られ、小面積で十分なキャパシタ値が得られることが確認されている。

【0006】 なお、蓄積電極6cを構成する白金5cは、高誘電率膜8c形成時に耐酸化性が高いためである。また、タンタル4cは、白金5cがシリコン基板1へ拡散するのを防止するために採用されている。

## 【0007】

【発明が解決しようとする課題】 しかし、上記報告の構造では、高誘電率膜8cが隣接する蓄積電極6cの間にも存在し、この蓄積電極6cの間のカップリングキャパシタ値を平行平板近似で計算すると約 $2.8 \times 10^{-15}\text{ F}$ となり、非常に大きな値である。そのためセルキャパシタに情報の書き込み、読み出しの際の蓄積電極6cの電位の変動がこのカップリングキャパシタを通じて、隣接する蓄積電極6cの電位に変動を与える。この電位の変動が雑音となりメモリの安定な動作が得られないという問題が生じる。

## 【0008】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板の表面に形成された第1絶縁体膜と第1絶縁体膜の上に配置されかつ半導体基板に接続するように形成された蓄積電極とに、高誘電率膜と対向電極とが積層されており、少なくとも隣接する蓄積電極の間が、上記高誘電率膜の誘電率よりも十分に低い誘電率を有する第2絶縁膜で隔絶されている。

## 【0009】

【実施例】 以下、本発明について図面を参照して説明する。

【0010】 キャパシタの断面図である図1を参照すると、本発明の第1の実施例は、キャパシタがタンタル4aと白金5aとを積層した高さが $0.1\mu\text{m}$ 、上面面積が $0.4 \times 1.0\mu\text{m}^2$ からなる構造の蓄積電極6aとこれに積層した高誘電率膜8aと対向電極9aとにより構成される。隣接する蓄積電極6aの間には、絶縁膜7aが設けられている。シリコン基板1と蓄積電極6aとの電気的な接続は、シリコン基板1上のシリコン酸化膜2に形成されたコンタクトに埋め込まれた多結晶シリコン3を介してなされる。

【0011】 製造工程を示す断面図である図2を参照すると、上記第1の実施例の製造方法は、初めに、シリコン基板1を熱酸化して膜厚300nmのシリコン酸化膜2を形成する。次に、通常のフォトリソグラフィとドライエッチング技術とを用いて $0.25 \times 0.25\mu\text{m}^2$ のコンタクト孔を開孔し、CVD法により膜厚400nmと多結晶シリコンを成長し、燐を熱拡散（850℃、30分）したのち、ドライエッチング技術を用いてエッチバックし、コンタクト孔内に、多結晶シリコン3を埋め込む〔図2（a）〕。

【0012】 次に、スパッタ法により膜厚50nmのタンタル膜と膜厚50nmの白金膜を積層するように成膜し、通常のフォトリソグラフィもしくはEB露光技術とHBrガスを使用したドライエッチング技術を用いてタンタル4a、白金5aに加工し、蓄積電極6aを形成する〔図2（b）〕。

【0013】 その後、CVD法により膜厚300nmのシリコン酸化膜よりなる絶縁膜7により蓄積電極6aを

10

20

30

40

50

完全に埋め込み、その上面が所望な程度平坦になるように堆積する〔図2(c)〕。

【0014】引き続き、この絶縁膜7を $\text{CF}_4 + \text{CHF}_3$ ガスによるドライエッチング技術を用いて、上面が蓄積電極6aの上面と同じ高さとなるまでエッチバックし、絶縁膜7aを形成する〔図2(d)〕。

【0015】その状態で例えば高周波マグネトロン・スパッタ法を用いて、成長温度650℃で膜厚70nmのチタン酸バリウムストロンチウム ( $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ ) を成膜して高誘電率膜8cを形成する〔図2(e)〕。これに積層するように、スパッタ法により膜厚100nmの窒化チタン膜を成膜して対向電極9aを形成すれば、図1に示すキャパシタの構造が得られる。

【0016】上記第1の実施例は、セルサイズが $0.6 \times 1.2 \mu\text{m}^2$  ( $=0.72 \mu\text{m}^2$ ) 程度となり、256MDRAMのセルとして採用できる。また、隣接する蓄積電極6aの間には絶縁膜7aが存在するため、平行平板近似による隣接蓄積電極間のカップリングキャパシタの計算値が $1.3 \times 10^{-17} \text{F}$ となり、従来構造により大幅に小さくなる。

【0017】キャパシタの断面図である図3を参照すると、本発明の第3の実施例は、上記第1の実施例と異なり、高誘電率膜8bがタンタル4bおよび白金5bからなる蓄積電極6bの直上のみに存在し、隣接する蓄積電極6bの間のみならず、高誘電率膜8bの間の部分も高誘電率膜8bよりも誘電率が非常に低い絶縁膜7bで埋め込まれている点である。

【0018】上記第1の実施例の構造では、隣接する蓄積電極6aの間は低い誘電率の絶縁膜7aで隔絶されているが、この絶縁膜7aの上部には高誘電率が8aがあるため、この部分の高誘電率8aを介するカップリングキャパシタが存在してしまう(フリンジング効果)。しかし、上記第2の実施例の構造では、蓄積電極6bのあいだの部分の上部にも高誘電率膜8bがないため、前述のフリンジング効果が非常に低く抑えられ、上記第1の実施例の場合よりもカップリングキャパシタ抑制の効果が大きくなる。例えば、セルサイズおよび蓄積電極6bのサイズが上記第1の実施例と同じ場合、カップリングキャパシタの計算値が $4.4 \times 10^{-18} \text{F}$ となる。

【0019】構造工程を示す断面図である図4を参照すると、上記第2の実施例の製造方法は図2(a)に示した工程までは上記第1の実施例と同様に形成した後、スパッタ法により膜厚50nmのタンタル膜と膜厚50nmの白金膜とを積層するように成膜する。引き続き、例えば高周波マグネトロン・スパッタ法を用いて、成長温

度650℃で膜厚70nmのチタン酸バリウムストロンチウム ( $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ ) を成膜し、通常のフォトリソグラフィーとHBrガスによるドライエッチング技術とを用いてタンタル4b、白金5b、高誘電率膜8bの形状に加工し、タンタル4bと白金5bとからなる蓄積電極6bと高誘電率膜8bからなる容量絶縁膜とする〔図4(a)〕。

【0020】その後、CVD法によりシリコン酸化膜よりなる絶縁膜7により高誘電率膜8bを完全に埋め込み、その上面が所望な程度平坦になるように堆積する〔図4(b)〕。

【0021】引き続き、この絶縁膜7をドライエッチング技術を用いて、上面が高誘電率膜8bの上面と同じ高さとなるまでエッチバックし、絶縁膜7bを形成する〔図4(d)〕。これに積層するように、膜厚100nmの窒化チタン膜を成膜して対向電極9bを形成すれば、図3に示すキャパシタの構造が得られる。

【0022】

【発明の効果】本発明によれば、高誘電率膜を用いるキャパシタにおいて、隣接する蓄積電極の間に高誘電率膜がある場合に問題となるカップリングキャパシタの発生を抑性できる。このカップリングキャパシタを抑制することによりキャパシタ間のカップリングノイズが低減でき、高信頼のメモリ情報の書き込み、読み出しが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための断面図である。

【図2】上記第1の実施例の製造方法を説明するための工程順の断面図である。

【図3】本発明の第2の実施例を説明するための断面図である。

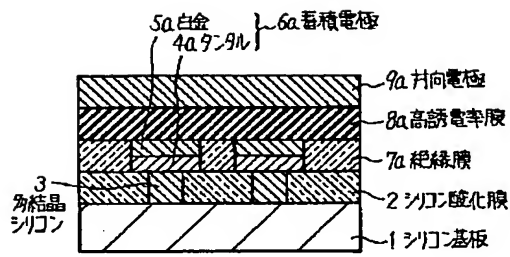
【図4】上記第2の実施例の製造方法を説明するための工程順の断面図である。

【図5】従来の半導体装置を説明するための断面図である。

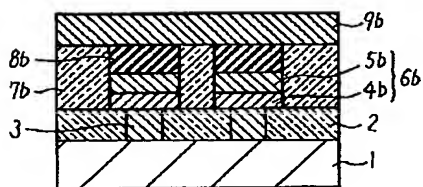
【符号の説明】

- |            |         |
|------------|---------|
| 1          | シリコン基板  |
| 2          | シリコン酸化膜 |
| 3          | 多結晶シリコン |
| 4a, 4b, 4c | タンタル    |
| 5a, 5b, 5c | 白金      |
| 6a, 6b, 6c | 蓄積電極    |
| 7, 7a, 7b  | 絶縁膜     |
| 8a, 8b, 8c | 高誘電率膜   |
| 9a, 9b, 9c | 対向電極    |

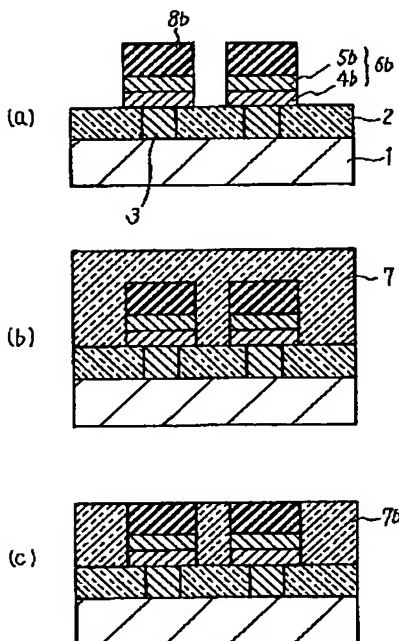
【図1】



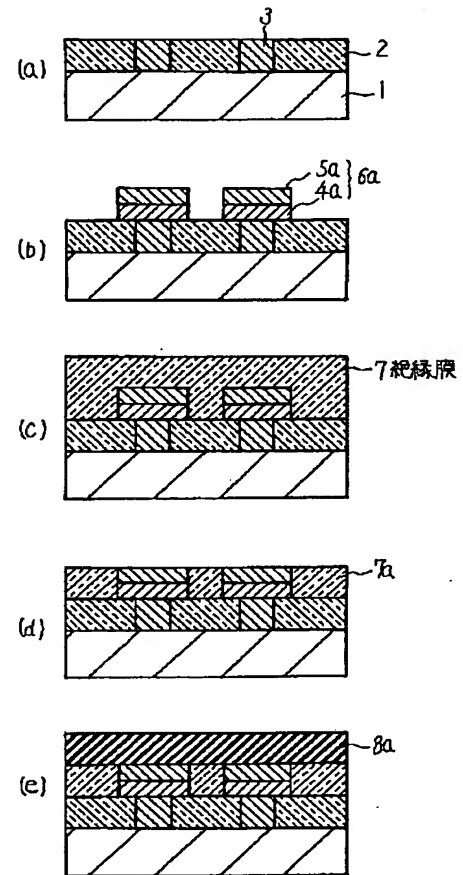
【図3】



【図4】



【図2】



【図5】

